

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06085194 A**

(43) Date of publication of application: **25.03.94**

(51) Int. Cl.

H01L 27/108
H01L 27/04

(21) Application number: **04233427**

(71) Applicant: **MATSUSHITA ELECTRON CORP**

(22) Date of filing: **01.09.92**

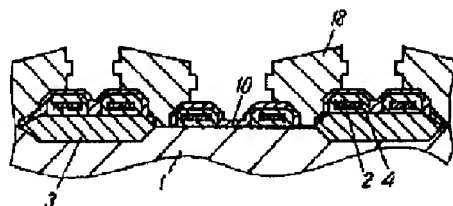
(72) Inventor: **SAITO TAKU**

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To obtain a capacitance storage electrode of large storage capacitance which has a step-difference on the side wall.

CONSTITUTION: A plurality of films different in etching characteristics are formed on a silicon substrate 1 wherein a transfer gate 2 is formed, and apertures are formed by photolithography. The apertures are isotropically etched. By using etching rate difference of each film in laminated films, step-differences are formed inside the apertures. Poly silicon films are buried in the apertures, and unnecessary parts are eliminated by etching. The laminated films which have become unnecessary are eliminated, and the poly silicon films are exposed. The capacitance storage electrode formed in the above manner has a step-difference on the side wall, so that the surface area is large. Hence a capacitance storage electrode of large storage capacitance is formed.



COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-85194

(43)公開日 平成 6年(1994) 3月25日

(51)Int.Cl.⁵

H 0 1 L 27/108
27/04

識別記号

庁内整理番号

C 8427-4M
9170-4M

F I

技術表示箇所

H 0 1 L 27/ 10

3 2 5 M

審査請求 未請求 請求項の数 1 (全 8 頁)

(21)出願番号

特願平4-233427

(22)出願日

平成 4年(1992) 9月 1日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町 1 番 1 号

(72)発明者 齊藤 卓

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

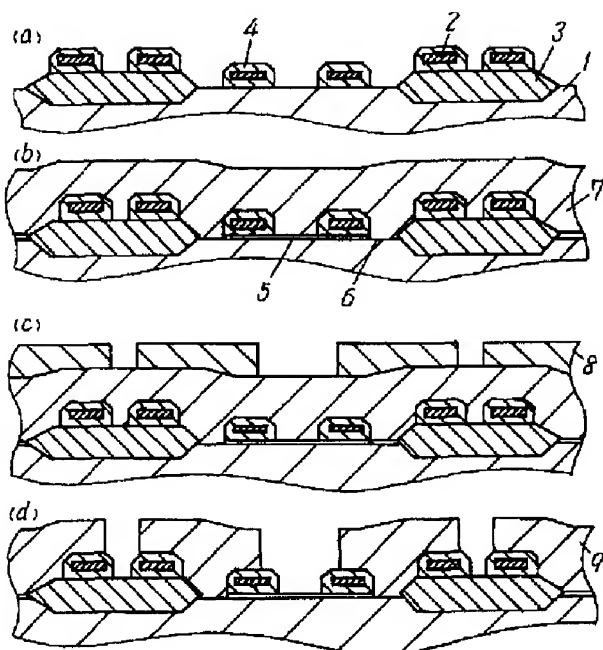
(74)代理人 弁理士 小鍛冶 明 (外 2 名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 側壁に段差を持ち蓄積容量の大きな容量蓄積電極を得る。

【構成】 トランスファーマゲート 2 の形成が終了したシリコン基板 1 上にエッチング特性の異なる複数の膜を形成する。これをフォトリソグラフィにより開口する。この開口部に対して等方性エッチングを行い、積層膜の各膜のエッチング速度の差を利用して開口内部に段差を形成する。次にポリシリコン膜 7 をこの開口部に埋め込み不要部分をエッチングにより除去する。さらに不要となった積層膜を除去し、ポリシリコン膜 7 を露出させる。このようにして形成された容量蓄積電極 9 はその側壁に段差を持つのでその表面積が大きい。よって蓄積容量の大きな容量蓄積電極 9 を形成する。



【特許請求の範囲】

【請求項1】半導体基板の表面に第一の膜を形成する工程と、前記第一の膜上に第二の膜を形成する工程と、前記第二の膜上に第二の膜とは特定のエッチング剤に対し、エッチング特性の異なる第三の膜を形成する工程と、前記第三の膜上に第三の膜とは前記エッチング剤に対し、エッチング特性の異なる第四の膜を形成する工程と、前記第二から第四の膜からなる積層膜の所定領域にフォトリソグラフィにより開口部を形成する工程と、前記開口部の内側壁に対して前記エッチング剤にて等方性エッチングを行う工程と、前記等方性エッチングの際に前記第二及び第四の膜と第三の膜とのエッチング速度の差を利用して前記開口部の内側壁に段差を形成する工程と、前記開口部の底部を開口し、前記開口部の内部を含む半導体基板上に導電性膜を形成する工程と、前記第二から第四の膜からなる積層膜を除去する工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法、特にDRAMの容量蓄積電極を形成する際に大きな容量をもつ蓄積電極を形成する方法に関するものである。

【0002】

【従来の技術】近年、半導体装置はその集積度が高まるにつれて微細化がますます進んでいる。特に半導体メモリの一種であるDRAMでは最も微細加工が進んでいる。このDRAMにおいて加工技術の中で容量蓄積電極を形成する技術は最も重要な技術の一つとなっている。

【0003】以下図面を参照しながら、上記した従来のDRAMの容量蓄積電極の一例について説明する。

【0004】図23は従来のDRAMの容量蓄積電極形成までの断面を示すものである。図23(a)は、半導体基板として例えばシリコン基板1上に、DRAMのメモリのセルのトランスファークゲートを形成した状態を示した断面図である。図23(a)において2はポリシリコンで形成されたトランスファークゲート電極、3はフィールド分離酸化膜、4はシリコン酸化膜である。この後必要なイオン注入を行い、エッチング阻止層として熱酸化によりシリコン酸化膜5を形成する。次に容量蓄積電極とシリコン基板1とのコンタクト部分6を開口する。図23(b)はこの上に導電性膜として燐を添加したポリシリコン膜7を形成した状態を示している。

【0005】このポリシリコン膜7上にレジスト8により容量蓄積電極9のパターンを形成する。そしてこのレジスト8をマスクとしてポリシリコン膜7をエッチングする。以上の工程を経て形成された容量蓄積電極9の断面図を図23(d)に示す。

【0006】

【発明が解決しようとする課題】しかしながら上記のよ

蓄積電極9の面積が小さくなる。このためDRAMの回路動作に必要な電荷を蓄積できるだけの容量を確保することが困難となる。これを解決するために従来より容量蓄積電極9の面積を可能な限り大きくすることが行われている。例えば容量蓄積電極9のパターンをフォトリソグラフィで形成する際に、隣接するパターンとの間隔が $0.5\mu\text{m}$ 以下のパターンを形成する。これにより容量蓄積電極9そのものをより大きなパターンとし、蓄積容量を確保しようとするものである。

【0007】しかし、前者の例えばフォトリソグラフィで安定して $0.5\mu\text{m}$ 以下の間隔を持つパターンを形成することは困難である。現在広く用いられているi線露光装置ではその解像限界は $0.4\mu\text{m}$ 程度である。しかし実用上必要な焦点深度を得ようとすると $0.5\mu\text{m}$ が限界である。このため現在のi線露光装置では十分に大きな容量蓄積電極9パターンを形成することは困難である。

【0008】本発明は上記問題点に鑑み、露光装置の解像限界内で十分な焦点深度を保ちながら容量蓄積電極パターンを形成したうえで、十分大きな容量を確保する半導体装置の製造方法を提供するものである。

【0009】

【課題を解決するための手段】上記問題点を解決するために本発明の半導体装置の製造方法は、半導体基板の表面に第一の膜を形成する工程と、前記第一の膜上に第二の膜を形成する工程と、第二の膜上に第二の膜とは特定のエッチング剤に対し、エッチング特性の異なる第三の膜を形成する工程と、前記第三の膜上に第三の膜とは前記エッチング剤に対し、エッチング特性の異なる第四の膜を形成する工程と、前記第二から第四の膜からなる積層膜の所定領域にフォトリソグラフィにより開口部を形成する工程と、前記開口部の内側壁に対して等方性エッチングを行う工程と、前記等方性エッチングの際に前記第二及び第四の膜と前記第三の膜とのエッチング速度の差を利用して前記開口部の内側壁に段差を形成する工程と、開口部の底部を開口し、前記開口部の内部を含む前記半導体基板上に導電性膜を形成する工程と、前記第二から第四の膜からなる積層膜を除去する工程を備えている。

【0010】

【作用】本発明は上記の構成によって、フォトリソグラフィでのパターン形成において十分な焦点深度を確保しながらパターンを形成でき、電極の側壁に段差を形成することで電極の表面積を増加させ、大きな蓄積容量をもつ蓄積電極を形成することを可能とするものである。

【0011】

【実施例】以下本発明の一実施例の半導体装置について、図面を参照しながら説明する。

【0012】図1～図9は本発明の実施例における半導

【0013】図1は半導体基板として例えばシリコン基板1上に、DRAMのメモリセルのトランスファークゲート2を形成した状態を示した断面図である。まず、シリコン基板1上に分離酸化膜3を形成した。次にポリシリコン膜を200nm堆積し、フォトエッチング技術によりトランスファークゲート電極2を形成した。さらに、トランスファークゲート2の上にシリコン酸化膜4を形成した。

【0014】次にシリコン基板1上に第一の膜として例えばシリコン窒化膜10を形成した。このシリコン窒化膜10は後の酸化膜エッチングの際のエッチング阻止層となる。シリコン窒化膜10は SiH_4 と NH_3 を用いた低圧CVD法で形成した。シリコン窒化膜10の膜厚は40nmである。

【0015】次にシリコン窒化膜10上に第二の膜として例えばTEOSを原料とした化学気相堆積法によりシリコン酸化膜11を形成した。シリコン酸化膜11の膜厚は200nmである。

【0016】さらに第二の膜であるシリコン酸化膜11上に第三の膜としてSOG膜12を形成した。SOG膜12の膜厚は200nmである。

【0017】次に第三の膜であるSOG膜12の上に第四の膜としてTEOSを原料とした化学気相堆積法によりシリコン酸化膜13を形成した。シリコン酸化膜13の形成はシリコン酸化膜11と同じであり、膜厚は400nmである。図2に以上の工程により第四の膜までが形成された状態を示す。

【0018】次に図3に上記の積層膜上にフォトリソグラフィ技術を用いて形成したフォトレジスト14の開口パターンの断面図を示す。図4に開口パターンを上から見た図を示す。パターン形成は $\text{NA}=0.5$ のi線ステッパを用いた。フォトレジストは1 μm 厚のポジ型フォトレジスト7である。開口部15の寸法は1.6 $\mu\text{m} \times 0.8\mu\text{m}$ である。隣接する開口部との最近接距離は0.6 μm となる。パターン間の最近接距離が0.6 μm あれば露光時の焦点深度は1.6 μm となり、実用上十分な値を確保できる。

【0019】図5にフォトレジスト14をマスクに異方性エッチングを行った後の断面形状を示す。エッチングには高周波ドライエッチング装置を用いた。エッチングガスは CF_4 、 CHF_3 、 Ar を用いた。シリコン酸化膜11とSOG膜12とシリコン酸化膜13からなる積層膜を150秒エッチングし、開口部15を形成した。エッチングでは積層膜のみエッチングされこのエッチングはエッチング阻止層であるシリコン窒化膜10で停止する。この後フォトレジスト14を除去する。

【0020】次に開口部15に対して等方性エッチングとしてウェットエッチングを行った状態を図6に示す。エッチング液はバッファーフッ酸(BHF)である。こ

比べてSOG膜12はBHFに対するエッチング速度が大きい。よってSOG膜12はTEOS酸化膜11、6に比べてより多くエッチングされる。このためウェットエッチングを行った後では図6のように開口部15の側壁に凹状の段差が生じる。すなわちこの等方性エッチングにより開口部15の側壁に段差を形成することができる。BHFによる30秒間のウェットエッチングで、シリコン酸化膜11、13は200nmエッチングされる。一方SOG膜12は300nmエッチングされる。よって生じた段差は約100nmである。このウェットエッチングにより開口部15の寸法は1.8 $\mu\text{m} \times 1\mu\text{m}$ となる。

【0021】次に開口部15の底部のシリコン窒化膜10をエッチングにより除去する。開口部15の底部は容量蓄積電極とシリコン基板1のコンタクトとなる部分である。シリコン窒化膜10のエッチングは高周波ドライエッチングにより行った。エッチングガスは CF_4 と酸素である。30秒のエッチングでシリコン窒化膜10を除去した。

【0022】図7に導電性膜として例えば燐を不純物として添加したポリシリコン膜17を800nm形成した状態を示す。ポリシリコン膜17は開口部15の側壁の段差に沿うように形成する。ポリシリコン膜17の形成は SiH_4 ガスをを用いた低圧CVD法で行った。

【0023】次に全面異方性エッチングを行い開口部15の内部以外の部分のポリシリコン膜17を除去した状態を図8に示す。エッチングは高周波ドライエッチングである。エッチングガスは CF_4 と HBr である。開口部15内部に残されたポリシリコン膜18は容量蓄積電極18となる。

【0024】次に不要となった酸化膜11、12、13をエッチングにより除去した。この状態が図9である。エッチングはBHFを用いたウェットエッチングである。BHFによるエッチングはシリコン酸化膜11、12、13のみを選択的にエッチングし、エッチング阻止層であるシリコン窒化膜10はエッチングしない。よってシリコン窒化膜10の下の特ランスファークゲートを覆うシリコン窒化膜2は保護される。このウェットエッチングを行った後に、ポリシリコン膜17による容量蓄積電極18が形成される。この容量蓄積電極18はその側壁に凸状の段差を持っている。一方従来の容量蓄積電極の側壁は平らである。よって本発明で形成された凸状の側壁を持つ容量蓄積電極18は、従来の容量蓄積電極よりその表面積が数%から10%程度大きくなる。従って容量蓄積電極18の容量が大きくなる。また開口部15の形成はフォトリソグラフィを用いたが、この時形成したパターンは従来のパターンより小さく、隣接するパターン間が0.6 μm と広い。よって露光時の焦点深度が1.6 μm と大きい。以上のように本実施例によれば

技術によりパターンを形成でき、かつ表面積の大きなすなわち容量の大きな容量蓄積電極 18 を形成することができる。

【0025】以下本発明の第二の実施例について図面を参照しながら説明する。図 10～図 16 は第一の実施例と同様にシリコン基板上にトランスファーゲート 1 を形成した上に第一の膜として 40 nm のシリコン窒化膜 10 を形成した状態を示す。

【0026】図 11 にシリコン窒化膜 10 上に第二の膜として BPSG (Boro-Phosph-Silicateglass) 膜 19 を 300 nm 形成し、第三の膜として TEOS 膜 20 を 200 nm 形成し、さらに第四の膜として BPSG 膜 21 を 500 nm 形成した状態を示す。BPSG 膜 19, 21 の形成は常圧 CVD 法で原料ガスは SiH_4 と酸素である。TEOS 膜 20 は減圧 CVD 法で基板温度 600℃ で TEOS を原料として形成した。

【0027】次に第一の実施例と同様にフォトリソグラフィーとエッチングを用いて開口部 15 を形成した状態が図 12 である。フォトリソグラフィーでは第一の実施例と同様のパターンを形成した。焦点深度は第一の実施例と同様、1.6 μm と大きい。エッチングの条件は第一の実施例に同じである。

【0028】次に開口部 15 に対し等方性エッチングを行った状態を図 13 に示す。等方性エッチングとして CF₄ を用いた高周波ドライエッチングを用いた。この時、BPSG 膜 19, 21 は TEOS 膜 20 よりも上記のエッチングに対するエッチング速度が大きい。このため開口部 15 の側壁に凸状の段差を生じる。30 秒のエッチングにより生じた段差は 100 nm である。

【0029】以下、第一の実施例と同様に開口部 15 の底部のシリコン窒化膜 10 を除去し、ポリシリコン膜 22 を成長させる。この状態を図 14 に示す。さらに全面異方性エッチングにより開口部 15 のみに容量蓄積電極となるポリシリコン膜 22 を残す。この状態を図 15 に示す。

【0030】この後ポリシリコン 10 による容量蓄積電極 22 の側壁に段差を形成するために用いた第二、第三、第四の膜は不要となる。図 16 は不要となった BPSG 膜 19, 21 及び TEOS 膜 20 を除去した状態である。エッチングは BHF によるウェットエッチングである。この時容量蓄積電極のポリシリコン膜 22 の側壁には凹状の段差が存在する。この段差によって容量蓄積電極 22 の表面積が増加し、容量が大きくなる。本実施例によれば第一の実施例と同様に、十分大きな焦点深度を保ちながらフォトリソグラフィー技術によりパターンを形成でき、かつ表面積の大きなすなわち容量の大きな容量蓄積電極を形成することができる。

【0031】以下本発明の第三の実施例について図面を参照しながら説明する。図 17 は第一の実施例と同様に

に 40 nm のシリコン窒化膜 10 を形成した状態を示す。

【0032】次に第二の膜として TEOS 膜 23 を 200 nm 形成し、第三の膜としてシリコン窒化膜 24 を 200 nm 形成し、さらに第四の膜として TEOS 膜 25 を 400 nm 形成した状態を図 18 に示す。

【0033】第一の実施例と同様にフォトリソグラフィー技術によりレジストによる開口パターンを形成する。このレジストをマスクとして第四の膜である TEOS 膜 25 をエッチングする。このエッチングは第三の膜であるシリコン窒化膜 24 で停止する。次に第三の膜であるシリコン窒化膜 24 をエッチングする。このエッチングは第二の膜である TEOS 膜 23 で停止する。さらに第二の膜である TEOS 膜 23 をエッチングする。このエッチングはエッチング阻止層である第一の膜シリコン窒化膜 10 で停止する。このエッチングが終了しレジストを除去した状態を図 19 に示す。この間のエッチングには高周波ドライエッチングを用いた。TEOS 膜 23, 25 のエッチングとシリコン窒化膜 24 のエッチングではエッチングガスを切り替える。ガスの切り替えは容易に行えるので、これらの積層膜のエッチングは容易である。

【0034】次に等方性エッチングとして熱燐酸による等方性エッチングを行う。このエッチングにより第三の膜であるシリコン窒化膜 24 が除去される。この結果、開口部 15 の側壁に凹状の段差が形成される。同時に底部のエッチング阻止層のシリコン窒化膜 10 が除去される。この結果、容量蓄積電極とシリコン基板 1 のコンタクト部 16 が開口できた。この状態を図 20 に示す。本実施例によればコンタクト部 16 の開口をフォトマスクを用いることなく自己整合的にできる。

【0035】以下、第一の実施例と同様に、ポリシリコン膜 26 を成長させる。さらに全面異方性エッチングにより開口部 15 のみに容量蓄積電極となるポリシリコン膜 27 を残す。この状態を図 21 に示す。

【0036】この後ポリシリコンによる容量蓄積電極 27 の側壁に段差を形成するために用いた第二、第三、第四の膜は不要となる。図 22 は不要となった TEOS 膜 23, 25 及びシリコン窒化膜 24 を除去した状態である。この時容量蓄積電極 27 のポリシリコン膜の側壁には凸状の段差が存在する。この段差によって容量蓄積電極の表面積が増加し、容量が大きくなる。本実施例によれば第一の実施例と同様に、十分大きな焦点深度を保ちながらフォトリソグラフィー技術によりパターンを形成でき、かつ表面積の大きなすなわち容量の大きな容量蓄積電極を形成することができる。

【0037】なお、第一の実施例において、第三の膜は SOG 膜としたが、BHF に対するエッチング速度が第二、第四の膜である TEOS 膜より大きいものであれ

膜と第三の膜は、それらのBHFに対するエッチング速度が第三の膜の方が大きければどのような膜でもよい。

【0038】開口部15の側壁に段差を生じさせるための等方性エッチングとしてはBHFによるウェットエッチングとしたが、高周波ドライエッチングを用いてもよい。

【0039】また、第2の実施例では第二、第四の膜はBPSG膜としたが、BHFに対するエッチング速度が第三の膜であるTEOS膜より大きいものであれば、例えばSOG膜としてもよい。

【0040】前記第一、第二、第三の実施例では段差形成のために第二の膜から第四の膜を使用した、さらに第四の膜の上に複数の膜を形成することで、複数の段差を持つ容量蓄積電極を形成できる。これによりさらに容量の大きな容量蓄積電極を形成できることは明らかである。

【0041】前述した発明は理解を明瞭にするために図解および例示の方法によって詳細に説明されたけれども、ある変化およびある変形は添付した特許請求の範囲で行われ得ることは明らかである。

【0042】

【発明の効果】以上のように本発明は、エッチング特性の異なる複数の膜からなる積層膜を開口し、等方性エッチングにより開口部の側壁に段差を形成し、この開口部の形状に沿って導電性膜を形成し、不要となった積層膜を除去することにより、側壁に段差を持ち蓄積容量の大きな容量蓄積電極を得ることができる。容量蓄積電極のパターンをフォトリソグラフィーで形成する際に隣接するパターンとの距離を十分確保することで、露光時の焦点深度を十分確保することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例における第1工程断面図

【図2】本発明の第一の実施例における第2工程断面図

【図3】本発明の第一の実施例における第3工程断面図

【図4】本発明の第一の実施例における第4工程断面図

【図5】本発明の第一の実施例における第5工程断面図

【図6】本発明の第一の実施例における第6工程断面図

【図7】本発明の第一の実施例における第7工程断面図

【図8】本発明の第一の実施例における第8工程断面図

【図9】本発明の第一の実施例における第9工程断面図

【図10】本発明の第二の実施例における第1工程断面図

【図11】本発明の第二の実施例における第2工程断面図

【図12】本発明の第二の実施例における第3工程断面図

【図13】本発明の第二の実施例における第4工程断面図

【図14】本発明の第二の実施例における第5工程断面図

【図15】本発明の第二の実施例における第6工程断面図

【図16】本発明の第二の実施例における第7工程断面図

【図17】本発明の第三の実施例における第1工程断面図

【図18】本発明の第三の実施例における第2工程断面図

【図19】本発明の第三の実施例における第3工程断面図

【図20】本発明の第三の実施例における第4工程断面図

【図21】本発明の第三の実施例における第5工程断面図

【図22】本発明の第三の実施例における第6工程断面図

【図23】従来の半導体装置の製造方法の一例の工程断面図

【符号の説明】

1 シリコン基板

2 トランスファーゲート

3 分離酸化膜

4 シリコン酸化膜

5 シリコン酸化膜

6 コンタクト

7 ポリシリコン膜

8 フォトレジスト

9 容量蓄積電極

10 シリコン窒化膜（第一の膜）

11 TEOS膜（第二の膜）

12 SOG膜（第三の膜）

13 TEOS膜（第四の膜）

14 フォトレジスト

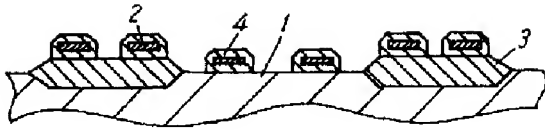
15 開口部

16 コンタクト

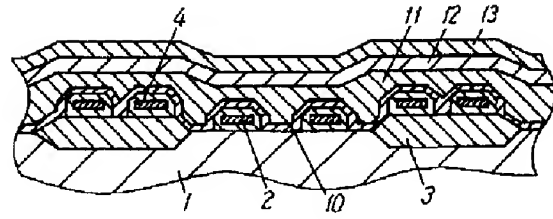
17 ポリシリコン膜

18 容量蓄積電極

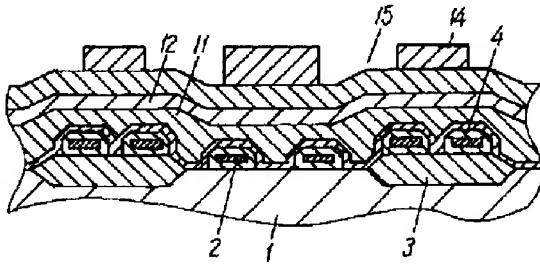
【図1】



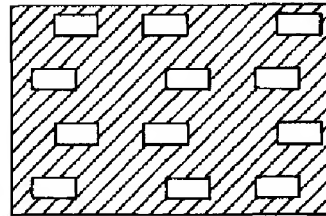
【図2】



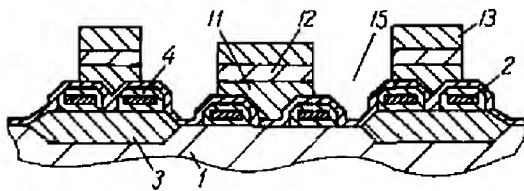
【図3】



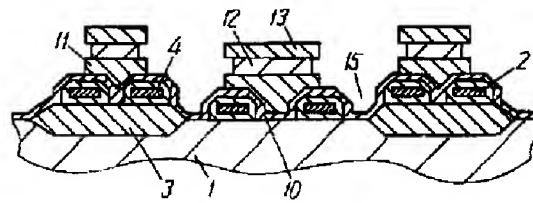
【図4】



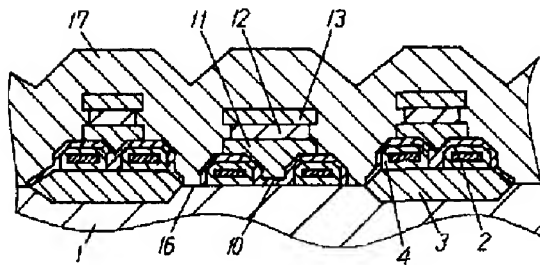
【図5】



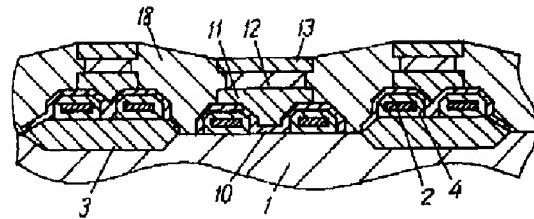
【図6】



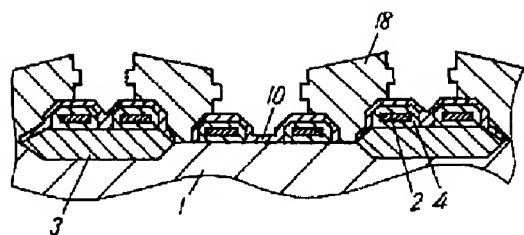
【図7】



【図8】



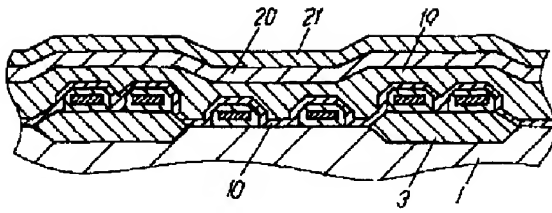
【図9】



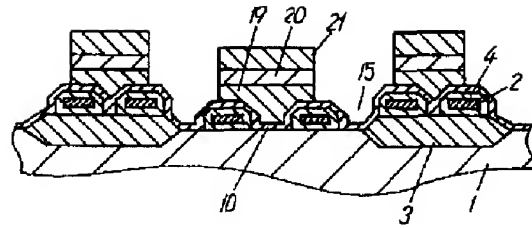
【図10】



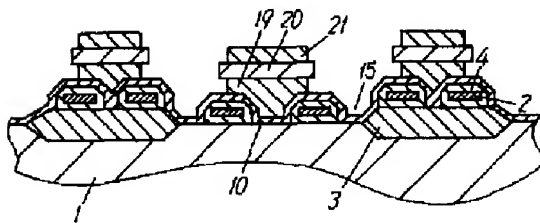
【図11】



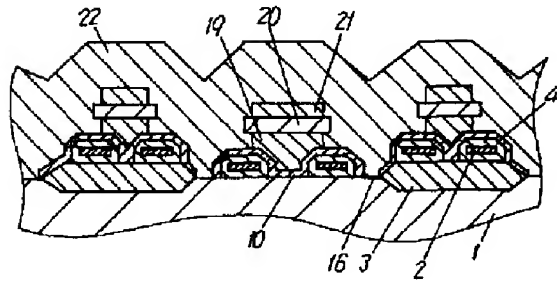
【図12】



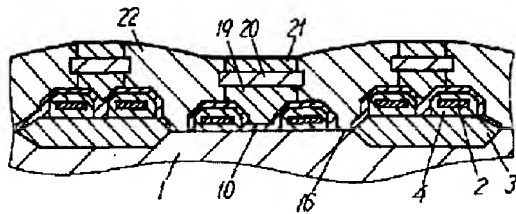
【図13】



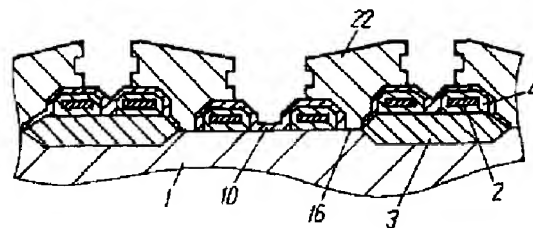
【図14】



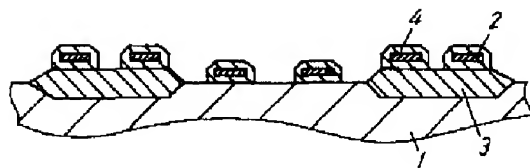
【図15】



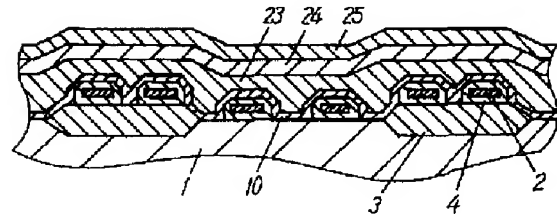
【図16】



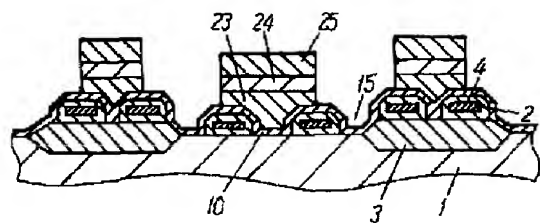
【図17】



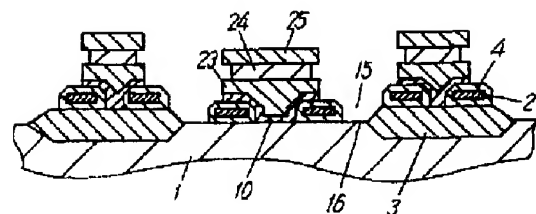
【図18】



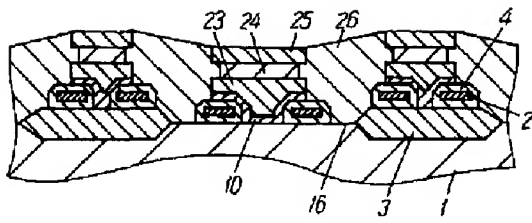
【図19】



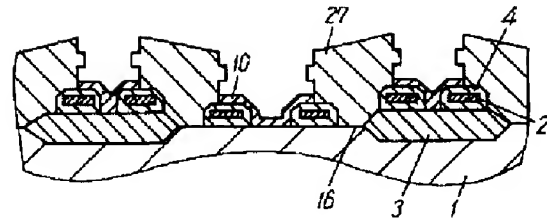
【図20】



【図21】



【図22】



【図23】

